

⑫ 公開特許公報(A)

昭62-233953 /

⑤ Int.Cl.⁴
H 04 L 25/02識別記号
3 0 2庁内整理番号
B-7345-5K

④ 公開 昭和62年(1987)10月14日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 ジッタ付加装置

⑯ 特 願 昭61-76110

⑰ 出 願 昭61(1986)4月2日

⑱ 発 明 者 高 橋 利 郎 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

⑲ 出 願 人 株式会社 アドバンテスト 東京都練馬区旭町1丁目32番1号

⑳ 代 理 人 弁理士 村松 保男

明 細 書

1. 発明の名称

ジッタ付加装置

2. 特許請求の範囲

- (1) 入力データ信号とローカル信号をミキシングして、一定周波数のIF信号を得るための第1ミキサーと、この第1のミキサーに上記入力データ信号周波数に対応する周波数のローカル信号を供給するためのローカル発振器と、位相同期回路(PLL)によって上記IF信号と位相同期されるとともに、変調信号によりジッタが付加される変調用発振器と、この変調用発振器より出力された信号と上記ローカル信号をミキシングして元の入力データ信号の基本周期と同じ周期となる信号を出力する第2ミキサーと、この第2ミキサーの出力信号と、上記入力データ信号を同期させるための同期回路よりなることを特徴とするジッタ付加装置。
- (2) 第1ミキサーで入力データ信号のN倍の高周波とミキシングして、IF信号を得た後、第2

ミキサーの出力を $1/N$ にして元の入力データ信号の基本周期と同じ周期となる信号を得る、特許請求の範囲 第1項記載のジッタ付加装置。

3. 発明の詳細な説明

「産業上の利用分野」

この発明は例えば、通信回線網の耐ノイズ特性などを評価するために、通信回線内でPCMなどのデジタル入力データ信号に意図的にジッタを付加し、通信回線に出力する装置に関するものである。

「従来技術」

従来用いられてきたジッタ付加装置は、例えば第3図に示すようなブロック構成になっている。

以下第3図に基づいて従来装置の動作について説明する。バッファアンプ12を通過した高調波成分を持つ入力データ信号 f_a は、同期回路19へ送られると共に、その信号速度に対応するクロック抽出器14aに導かれクロック信号 f_c が抽出される。このクロック抽出器は入力データの基本同期の信号(クロック)を発生させるもので

あり、例えば入力データの基本周期とほぼ同じ同期の電圧制御発振器 (VCO) を、入力データにより位相同期をかける構成になっている。尚このクロック抽出器における PLL の同波数帯域は狭く、入力データ信号 f_d のデータの変化には応答せず基本周波数にのみ位相同期がかかるように設定されている。

ここで抽出されたクロック信号 f_c は、位相比較器 15a へ入力される。この位相比較器 15a のもう一方の入力には、クロック信号 f_c と PLL を構成する VCO 17a の出力信号が入力される。尚この PLL の同波数帯域は、様々な同波数の変調信号を加えることができるように広く設定されている。位相比較器 15a の出力信号に変調信号 f_m が加算されて VCO 17a の制御信号となる。これにより VCO 17a の出力信号は、入力データ信号の基本周期のクロック信号 f_c にジッタが付加された信号となる。この VCO 17a の出力信号をクロック信号とし、同期回路 19 において入力データ信号 f_d を同期させることによ

り、入力データ信号 f_d にジッタが付加された信号 f_s を得ることができる。同期回路 19 は例えば、ディレイ型フリップフロップにより構成されている。これをタイミングチャートで示したのが第 4 図である。

タイミングチャートによって従来のジッタ付加装置の動作について説明すると、バッファアンプ 12 を通過した入力データ信号 f_d (第 4 図 A) は、この基本周期 T がクロック抽出器 14a によって抽出されクロック信号 (第 4 図 B) となり位相比較器 15a へ入力される。この位相比較器 15a においてクロック信号と VCO 17a の信号とが位相比較されその位相差出力信号は、アンプ 16a において変調信号 f_m (第 4 図 C) と加算され VCO 17a の制御信号となる。このため VCO 17a の出力信号 f_s の波形は、第 4 図 D に示すようになる。この出力信号 f_s は、クロック抽出器 14a より出力されたクロック信号と同一周期でありかつ変調信号 f_m により位相変調されたものである。すなわち、位相ジッタを有するも

のである。この信号 f_s に入力データ信号 f_d を同期させることによって信号 f_s (第 4 図 E) を得ることができる。この信号 f_s は、入力データ信号 f_d と同じデータであり、かつジッタが付加されたものである。

「発明が解決しようとする問題点」

以上のような構成になっている従来のジッタ付加装置においては、クロック抽出器や変調回路 (第 3 図における破線内の部分) が、入力信号速度の種類だけ必要となる。すなわち、ジッタを付加したい通信回線のデータの基本周期が異なるたびにそれに対応する別個のクロック抽出器や変調回路を用意する必要がある。さらにそれぞれが異なったクロック信号に対応するように構成されている PLL の回路特性もまた各々に異なるために、大きさの同じ変調信号でも、変調信号が入力される PLL の違いによって変調度の値が異なるなどの欠点がある。

「問題点を解決する手段」

入力データ信号とローカル信号をミキシングし

て、一定同波数の IF 信号を得るための第 1 ミキサーと、この第 1 ミキサーに上記入力データ信号周波数に対応する同波数のローカル信号を供給するためのローカル発振器と、位相同期回路 (PLL) によって上記 IF 信号と位相同期されるとともに、変調信号によりジッタが付加される変調用発振器と、この変調用発振器より出力された信号と前記ローカル信号をミキシングして元の入力データ信号の基本周期と同じ周期となる信号を出力する第 2 ミキサーと、この第 2 ミキサーの出力信号と、上記入力データ信号を同期させるための同期回路を設けることにより、種々の異なった信号速度の入力データ信号に対しても、ローカル信号の同波数を変えることによりクロック抽出が行なえるようにしたものである。

「発明の実施例」

第 1 図に本発明のブロック構成図を示す。

バッファアンプ 1 を通過した、高調波成分を持つ入力データ信号 f_d は、同期回路 10 へ送られると共に、ローカル信号 f_l とミキシングされ一

定周波数のIF信号を得るためにミキサー2へおくられる。このミキサー2のもう一方の入力には、上記入力データ信号 f_d の周波数に対応する周波数のローカル信号 f_l を供給するために、ローカル発振器3が接続されている。このローカル信号 f_l は、複数個のクリスタル発振器を切り換えるか、シンセサイザーを用いて得ることができる。すなわちこのローカル発振器3は入力データ信号 f_d の基本周波数が異なる場合でもミキサー2により得られるIF信号の周波数が常に一定になるように調整される。

この例では、ミキサー2において入力データ信号 f_d の基本波及び高調波とローカル信号 f_l をミックスして一定周波数のIFをとりだすようにしている。したがって、その瞬時の入力データが基本周波数の $1/N$ であってもミキサー2によってそのN倍の高調波とローカル信号 f_l をミックスしてIFを得ることができるので、入力データ信号 f_d が不連続であっても連続なIF信号 f_i を得ることができる。

以上の動作を、第2図に示すタイミングチャートにより説明すると、バッファアンプ1を通過した後の入力データ信号 f_d （第2図A）は、同期回路10に送られると共にミキサー2へ入力される。このミキサー2のもう一方の入力には、ローカル信号 f_l （第2図B）が入力される。入力データ信号 f_d は、ミキサー2においてローカル信号 f_l とミキシングされた後、出力されバンドパスフィルタ4を通過しIF信号 f_i （第2図C）となる。IF信号 f_i は、位相比較器5に入力される。この位相比較器5より出力された信号に、変調信号 f_m （第2図D）がアンプ6において加算されてVCO7の制御信号となりこの制御信号によってVCO7の出力信号は f_c （第2図E）となる。この信号 f_c は、信号 f_i が位相変調されたものである。VCO7の出力信号 f_c は、前記の位相比較器5に入力されると共に、ミキサー8に入力される。ミキサー8のもう一方の入力には、ミキサー2へ入力された信号と同じローカル信号 f_l （第2図B）が、入力される。 f_c は、

ミキサー2より出力されてバンドパスフィルタ4を通過したIF信号 f_i は、位相比較器5に入力される。この位相比較器5のもう一方の入力には、信号 f_l とPLLを構成するVCO7の出力信号が入力される。この位相比較器5の出力信号に変調信号 f_m が加算されてVCO7の制御信号となりVCO7の出力信号 f_c は、位相変調を受けることになる。この信号 f_c と同じ周波数で位相ジッタを有するVCO7の出力信号 f_c は、ミキサー8へ送られる。このミキサー8のもう一方の入力には、前記ローカル発振器3によってミキサー2へ送られた信号と同じローカル信号 f_l が供給される。ミキサー8より出力された信号は、ローパスフィルタ9を通り信号 f_o となる。この信号 f_o は、元の入力データ信号 f_d の基本周波数と同じ周波数で位相変調されたクロック信号である。同期回路10においてこの信号 f_o に入力データ信号 f_d を同期させることによって入力データ信号 f_d にジッタが付加された信号 f_i が得られる。

ミキサー8にて f_c とミキシングされた後に、出力されローパスフィルタ9を通過して信号 f_o （第2図F）となる。この信号 f_o は、入力データ信号 f_d の基本周波数と同じ周波数でジッタの付加されたクロック信号である。この信号 f_o に入力データ信号 f_d を同期回路10において同期させることにより信号 f_i （第2図G）を得ることができる。この信号 f_i は、入力データ信号 f_d にジッタの付加された波形となる。

以上の実施例においてはローカル信号 f_l について特に規定していないが、高い中心周波数を持つバンドパスフィルタ4をもちいて、ミキサー2において入力データ信号 f_d のN倍の周波数をもつローカル信号 f_l とミキシングして高周波のIF信号を得た後、ミキサー8における出力を $1/N$ にして入力データ信号 f_d の基本周波数と同じ周波数の信号を得るような構成にしてもよい。「発明の効果」

以上のような構成からなる本発明には、信号速度の異なった様々な入力データ信号に対しても、

各入力データ信号の速度ごとに対応するクロック抽出器を設けることなく一回路によってクロック抽出を可能とし、回路を簡素化するとともに、入力データ信号の速度に関係なく、大きさの同じ変調信号であれば変調度の値が一定になるという効果がある。

4. 図面の簡単な説明

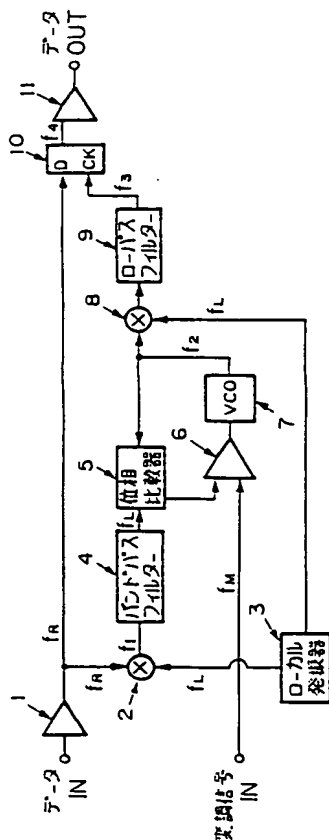
第1図は、本発明の実施例のブロック構成図を示す。第2図は、第1図のブロック構成図によるタイミングチャートを示す。第3図は、従来のジッタ付加装置のブロック構成図を示す。第4図は、第3図のブロック構成図によるタイミングチャートを示す。

1. 11. 12. 20 ; バッファアンプ,
2. 8 ; ミキサー,
- 3 ; ローカル発振器,
- 4 ; バンドパスフィルター,
5. 15 a. 15 b ; 位相比較器,
6. 16 a. 16 b ; アンプ,
7. 17 a. 17 b ; VCO,

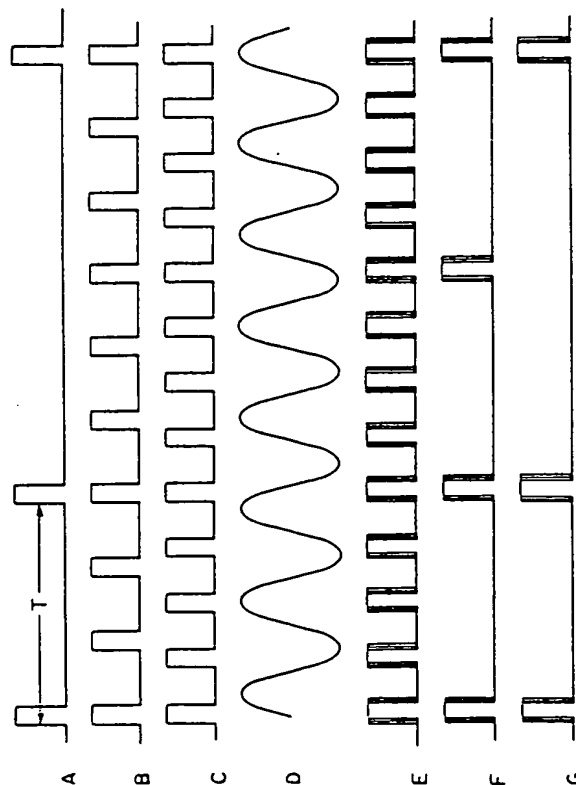
- 9 ; ローパスフィルター,
10. 19 ; 同期回路,
- 13 a. 13 b. 18 a. 18 b ; スイッチ,
- 14 a. 14 b ; クロック抽出器,

特許出願人 株式会社アドバンテスト

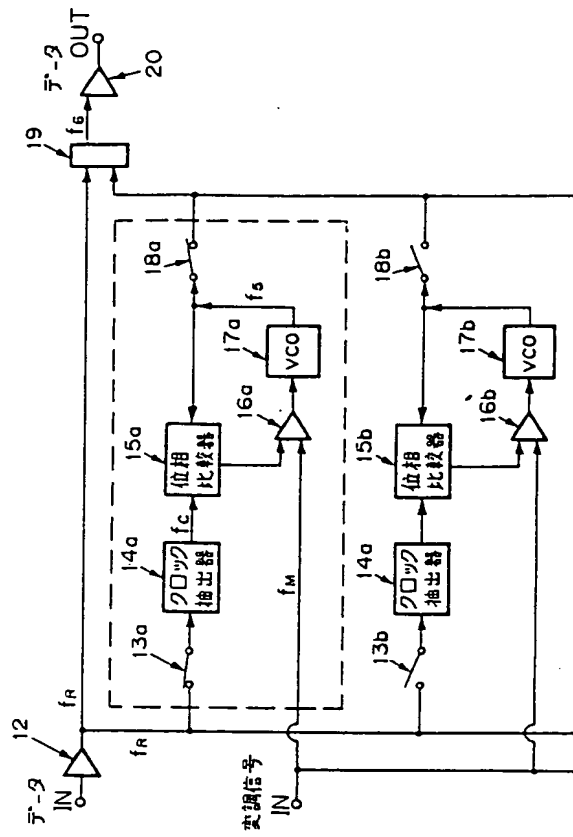
代理人 弁理士(8783) 村松 保男



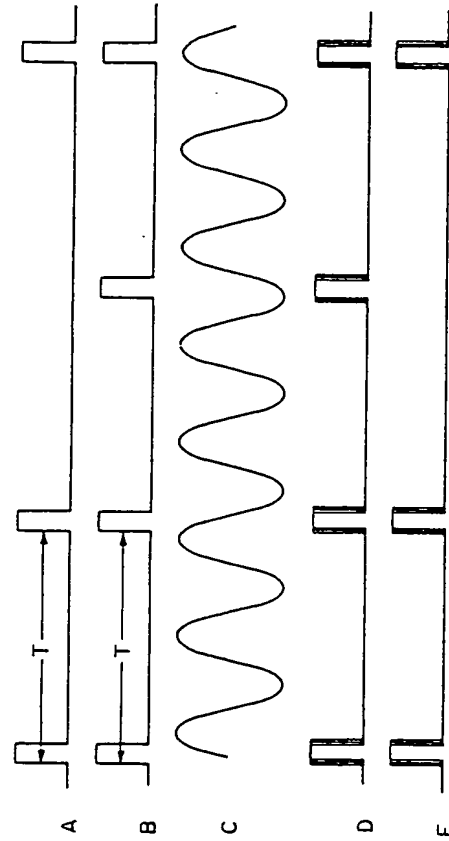
第 1 図



第 2 図



第 3 図



第 4 図